

关注高速 PCB 设计

Innoveda 公司北京办事处 李宝龙 肖跃龙

摘要：半导体芯片技术飞速发展，Internet 深入千家万户，人们对高质量实时处理的要求越来越苛刻，这些都导致高速 PCB 的应用日益普及。本文探讨高速 PCB 设计中的有关问题和技术，提供相关的信息帮助设计工程师选择合适的手段和设计技术，确保高速 PCB 的成功实现。

关键词：EDA；信号完整性；EMI/EMC；阻抗匹配；阻抗控制；设计空间探测

目录

高速 PCB 设计中的问题	1
高速 PCB 设计策略	1
高速 PCB 设计方法	2
选择合适的传输线描述和分析方法	2
高速 PCB 设计技术	2
终端匹配技术（SCRATCHPAD）	2
阻抗控制技术	3
设计空间探测技术	3
关注高速 PCB 的芯片设计技术	4
板级、系统级 EMC 设计技术	4
建立企业内部的 SI 部门	4

高速 PCB 设计中的问题

美国一家著名的影像探测系统制造商的电路板设计师们最近碰到一件奇特的事：一个 7 年前就已经成功设计、制造并且上市的产品，一直以来都能够非常稳定可靠地工作，而最近从生产线上下线产品却出现了问题，产品不能正常运行。

这是一个 20MHz 的系统设计，似乎无需考虑高速设计方面的问题，没有任何的设计修改，采用的元器件型号同原始设计的要求一致。

系统缘何失效？这让设计工程师们觉得十分困惑：没有任何的设计修改，生产制造基于原始设计中一致的电子元器件。唯一的区别是由于今天不断进步的 IC 制造技术，所以新采购的电子元器件实现了小型化也更加快速。新的器件工艺技术使得新近生产的每一个芯片都成为高速器件，正是这些高速器件应用中的信号完整性问题导致了系统的失效。

随着 IC 输出开关速度的提高，信号的上升和下降时间迅速缩减，不论信号频率如何，系统都将成为高速系统并且会出现各种各样的信号完整性方面的问题。

高速 PCB（印制电路板）方面的问题突出体现为以下的类型：

- 1) 时序问题总是第一位的，工作频率的提高和信号上升/下降时间的缩短，首先会使设计系统的时序余量缩小甚至出现时序方面的问题。
- 2) 传输线效应导致的信号震荡、过冲和下冲都会对设计系统的故障容限、噪声容限以及单调性造成很大的威胁。
- 3) 信号沿时间下降到 1ns 以后，信号之间的串扰就成为很重要的一个问题。
- 4) 当信号沿的时间接近 0.5ns 时电源系统的稳定性问题和电磁干扰（EMI）问题也变得十分关键。

高速 PCB 设计策略

目前高速 PCB 的设计在通信、计算机、图形图像处理等领域应用广泛。而在这些领域工程师们用的高速 PCB 设计策略也不一样。

在电信领域，设计非常复杂，在数据、语音和图像的传输应用中传输速度已经远远高于 500Mbps，在通信领域人们追求的是更快地推出更高性能的产品，而成本并不是第一位的。他们会使用更多的板层、足够的电源层和地层、在任何可能出现高速问题的信号线上都会使用分立元器件来实现匹配。他们有 SI（信号完整性）和 EMC（电磁兼容）专家来进行布线前的仿真和分析，每一个设计工程师都遵循企业内部严格的设计规定。所以通信领域的设计工程师通常采用这种过度设计的高速 PCB 设计策略。

家用计算机领域的主板设计是另一个极端，成本和实效性高于一切，设计师们总是采用最快、最好、最高性能的 CPU 芯片、存储器技术和图形处理模块来组成日益复杂的计算机。而家用计算机主板通常都是 4 层板，一些高速 PCB 设计技术很难应用到这一领域，所以家用计算机领域的工程师通常都采用过度研究的方法来设计高速 PCB 板，他们要充分研究设计的具体情况解决那些真正存在的高速电路问题。

而通常的高速 PCB 设计情况可能又不一样。高速 PCB 中关键元器件（CPU、DSP、FPGA、行业专用芯片等）厂商会提供有关芯片的设计资料，这些设计资料通常以参考设计和设计指南的方式给出。然而这里存在两个问题：首先器件厂商对于信号完整性的了解和应用也存在一个过程，而系统设计工程师总是希望在第一时间使用最新型的高性能芯片，这样器件厂商给出的设计指南可能并不成熟。所以有的器件厂商不同时期会给出多个版本的设计指南。其次，器件厂商给出的设计约束条件通常都是非常苛刻的，对设计工程师来说要满足所有的设计规则可能非常困难。而在缺乏仿真分析工具和对这些约束规则的背景不了解的情况下，满足所有的约束条件就是唯一的高速 PCB 设计手段，这样的设计策略通常称之为过度约束。

有文章提到，一个背板设计采用表面贴装的电阻来实现终端匹配。电路板上使用了 200 多个这样的匹配电阻。试想如果要设计 10 个原型样板通过改变这 200 个电阻确保最佳的终端匹配效果，这将是巨大的工作量。而在此设计中没有任何一个电阻值的改变得益于 SI 软件的分析结果，这的确令人吃惊。

所以需要在原有的设计流程中加入高速 PCB 的设计仿真和分析，使之成为完整的产品设计和开发中一个不可或缺的部分。

高速 PCB 设计方法

高速 PCB 的设计要求全员参与，设计仿真和分析要贯穿产品的设计过程：系统设计工程师在考虑系统的体系结构、模块划分地要充分考虑信号的噪声容限、时序余量、EMC 以及电源等诸多高速 PCB 和系统方面的问题；电路设计工程师可以考察和优化元器件选择、拓扑结构、匹配方案、匹配元器件的值，并最终开发出确保信号完整性的 PCB 布局布线规则；FPGA 和 ASIC 设计工程师也必须将芯片同高速系统进行统一的考虑，它们不再独立工作；PCB 工程师依据设计规则完成 PCB 的布局和布线；SI 工程师主要负责板级和系统级的分析和验证，以及单板的 EMC 分析和地弹分析。甚至元器件采购部门也应将元器件模型的获取提到议事日程上来。

目前有许多 EDA 工具支持高速 PCB 的设计和分析。

首先是布局布线后的分析和验证，这是一个必不可少的过程，应该选择高性能的“Sign-Off”仿真工具确保 PCB 的质量。

其次是高速 PCB 的设计和前期的规划探测工具，设计工程师应该主要集中在这一阶段，借助这些工具来分析可行的高速解决方案并且以设计约束的方式传递给 PCB 设计工程师。未来的高速硬件设计中逻辑功能设计方面的开销要越来越小，而开发设计规则等高速设计方面的开销将达到 80%甚至更高。

EMC 的设计目前主要采用设计规则检查的方式，很重要的一点就是企业必须逐步建立和日益完善适合企业特定领域产品的设计规范，形成一整套的 EMC 设计规则集，这些在国外的大公司非常普及，如三星和 SONY。这些规则由人或者由 EDA 软件来检查核对。

选择合适的传输线描述和分析方法

元器件和传输线的建模以及传输线分析方法成为高速设计和分析工具最关键的因素。

元器件模型通常包括 IBIS 模型和 SPICE 模型，IBIS 模型容易得到但是可能存在精确性甚至正确性方面的问题，而 SPICE 模型非常精确但是不容易得到。所以要区别对待，通常高速接插件和自己设计的 ASIC 芯片 SPICE 模型可能更有效，而器件厂商处通常仅提供 IBIS 模型，应有专门的 SI 工程师对获得的模型进行验证和确认，方可在企业内部发布和使用。

关于传输线的分析，通常主要考虑信号沿传输线传播时反射波信号对它的影响，一般有两种方法：一种是使用传统的电压/电流比 (U/I) 模式来描述，另一种是用前向波/反向波 (Forward/Reverse) 模式来描述。无论采用哪一种方式，都能得到同样的结论。但是，用何种表达式，将会影响最终结论的效果。

(a) 电压/电流比 (U/I) 模式表示的是沿传输线流过的电流，以及在各点上电压的情况。

(b) 前向波/后向波模式表示前向电磁波沿传输线传播时在各点的强度，以及反向电磁波沿传输线传播时在各点的强度。

当我们考虑传输线输入阻抗时，U/I 模式更适合，从公式中，我们可以直接得到在传输线输入端的电压/电流比（即输入阻抗）。当我们考虑快速信号在传输线上传播的影响时，Forward/Reverse 模式更合适一些，在第一时间，电磁波到达传输线终端之前，我们只计算前向波（不考虑反向波），这样可以简化计算。无论使用哪种方法，都可以得到正确的结果。

高速 PCB 设计技术

以下介绍常用的高速 PCB 设计技术：

终端匹配技术 (SCRATCHPAD)

终端匹配技术是最简单而且有效的高速 PCB 设计技术，合理的使用终端匹配技术可以有效降低信号反射和信号振荡，从而极大地提高信号的时序余量和噪声余量，因而改善产品的故障容限。单端信号的终端匹配技术通常包括：驱动端串行连接的终端匹配技术，接收端并行连接的终端匹配技术，戴维南终端匹配技术、AC 终端匹配技术、二极管终端匹配技术等。而更高性能的信号驱动技术的使用对于终端匹配技术也提出了更高的要求，比如：LVDS（低电压差分信号）器件就要求差分信号线在满足单线

阻抗匹配的情况下，还要满足差分阻抗的匹配，这甚至比单线阻抗的匹配更重要。

终端匹配方式和元器件的值也要和电路芯片的驱动能力和功耗结合起来考虑。比如接受端下拉到地的匹配电阻的值就必须考虑 IOH 和 VOH 的值，也就是说必须考虑驱动器的负载能力，而不能一味地考虑阻抗的匹配。再比如，当网络上信号的占空比大于 50% 时，匹配电阻应该上拉到电源，而当网络上的信号占空比小于或等于 50% 时，匹配电阻应该下拉到地。

Innoveda 公司的 Scratchpad (如图 1) 是一个高速电路互连设计规划和设计空间探测工具。Scratchpad 可以综合考虑电路网络的方方面面来评估不同的终端匹配技术，对于每一类型的终端匹配技术还可以对匹配元器件的值进行扫描分析，得到一组曲线，设计工程师可以从中挑选符合要求最合适的元器件值，同时 Scratchpad 也对所有的匹配方案进行打分，设计工程师可以很省事地挑选最高分的匹配方案，而这通常也就是设计网络最佳的匹配方案。

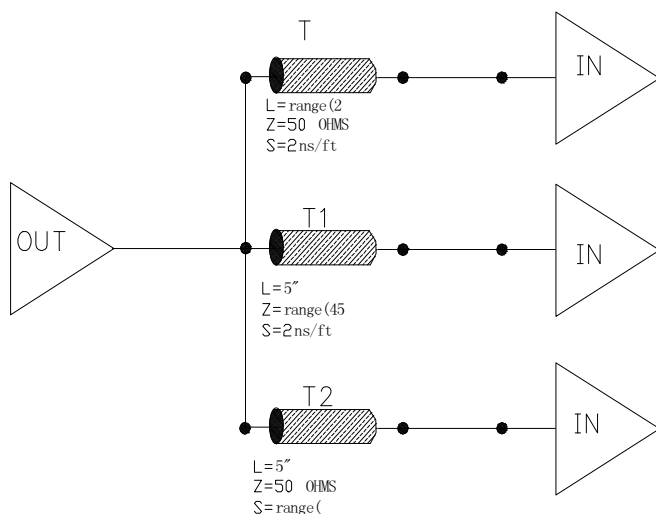


图 1 Scratchpad 高速电路设计规划工具

阻抗控制技术

所以阻抗控制在高速 PCB 设计中显得尤其重要。阻抗控制技术包括两个含义：①阻抗控制的 PCB 信号线是指沿高速 PCB 信号线各处阻抗连续，也就是说同一个网络上阻抗是一个常数。②阻抗控制的 PCB 板是指 PCB 板上所有网络的阻抗都控制在一定的范围以内如 20~75Ω。

设计工程师需要用到传输线理论或者借助 EDA 工具来实现阻抗控制。而 PCB 加工厂商则要靠先进的工艺和高性能的仪器和测试技术来保证阻抗控制技术的精确性。所以 PCB 厂商可能需要通过改变设计中的尺寸和间距来实现阻抗控制。

分析和测量是阻抗控制技术中很重要的一环，光板测试尤其重要而且精确。所以 PCB 设计工程师必须在设计中制定关键信号线的阻抗以及允许的误差，并且密切协调 PCB 加工厂商的工作确保符合所有的设计规范。

阻抗控制的 PCB 信号技术有很多种：嵌入式微带线、非对称带状线、对称带状线、边缘耦合带涂层的微带线、边缘耦合非对称待转线、垂射耦合的带状线等。

所以从电路和 PCB 设计工程师的角度来说，要根据系统设计要求严格计算阻抗控制信号线的几何尺寸，并且将这些关键的阻抗控制信号线的阻抗和误差的要求明确以文档的方式递交给 PCB 加工厂商，并且要求 PCB 加工厂商递交实现和加工测试的详细报告。对于设计工程师的特定要求，PCB 加工厂商通常采取在 PCB 设计拼板的外围加上测试卡棒条依据加工工艺运用先进的测试技术来高速关键信号线的几何尺寸和间距。

设计空间探测技术

设计空间探测是应用广泛的高速设计和规划技术。在设计早期阶段比如系统设计阶段、原理图设

计阶段或者是 PCB 布线前阶段可以使用 EDA 工具来考察关键网络的匹配方式、匹配元器件值、拓扑结构、布线长度、材料、板层结构等对信号完整性的影响。并且通过多参数的扫描分析，可以得到符合高速设计信号规范的设计空间。

关注高速 PCB 的芯片设计技术

在芯片设计中同样需要关注高速 PCB 的分析和设计。

高性能的 FPGA 芯片需要考虑以下与高速 PCB 有关的因素：①恰当地运用引脚的可重定位特性，限制高速 PCB 传输线的长度，从而达到控制延时和改善信号质量的目的。②编程引脚的驱动能力，确保驱动能力不要太强。③编程引脚的信号变化速率，在满足时序等方面确保信号沿的跳变不要太快。④编程引脚的工艺技术，如 LVTTTL、LVCMOS、LVDS、GTL、GTL+等，这样可以减少高速 PCB 元器件的使用。

ASIC 芯片的设计同样也要关注高速 PCB 设计方面的情况，突出体现为根据高速 PCB 板的要求来选择 ASIC 芯片的 I/O 缓冲器以及芯片的封装工艺和技术，SI 工程师根据 ASIC 加工厂商提供的 I/O 缓冲器模型以及封装厂商提供的封装模型，将 ASIC 芯片放在高速 PCB 中进行仿真分析，从中选择符合 ASIC 功能要求、高速 PCB 性能要求、成本和成品率等综合因素的解决方案。

板级、系统级 EMC 设计技术

目前可行的 EMC 设计技术包括 EMC 专家系统和 EMC 设计规则。企业内部建立一整套可行的 EMC 设计规则，这些规则可能是以文档检查列表的方式给出，再由工程师仔细检查设计的电路图，或者 PCB 版图确保没有任何的规则违反。也有可能将这些设计规则编程到 EMC 专家系统中，由 EDA 工具来自动检查。

以下是几个这样的设计规则实例：

关于平面层尺寸的规则 电源层四周应该比地层缩进 20 倍两个平面层之间距离的尺寸，确保设计系统更好的 EMC 性能。

关于平面分割的规则 地平面不要分割，高速信号线如果要跨电源平面分割，应该紧靠信号线放置几个低阻抗的桥接电容。

关于匹配元器件位置的规则 源端匹配器件应该尽量靠近驱动器。末端匹配器件应该尽量接收端。如果网络不是简单的菊花链，那么匹配元器件的位置和匹配值应该是由 SI 工具分析确定。

建立企业内部的 SI 部门

信号完整性部门的设立可大可小，依具体情况而定。最小的规模可能是设计小组中的一个工程师来动作信号完整性设计和分析。也有的大公司 SI 部门的工程师可能多达 100 人。通常认为 SI 部门应该具备三种职能：①SI 部门应该有专门的 SI 软件高手，负责 SI 工具的日常维护、SI 工具与设计方法和设计流程的集成以及培训新人。这些 SI 软件高手必须熟悉设计和布局布线过程使用的所有工具，并且是企业内部使用的 SI 分析和设计工具的专家。②SI 部门应该有专人来支持仿真分析过程中使用的库文件，包括同器件厂商的沟通、从别的渠道收集、整理、验证、归档和发布元器件仿真库。③SI 部门还应该有专门的高速 PCB 设计专家。一旦设计工程师遇到 SI 的问题，这些专家就应该立即帮助他们找到可行的解决方案。这些设计专家最好有模拟电路、RF 电路、微波电路和电磁场方面的背景。

总之，高速 PCB 的设计是今天系统设计领域面临的严肃挑战，无论是设计方法、设计工具、还是设计队伍的构成以及工程师的设计思路，都需要积极认真地去应对。

参考文献：

1. High-Speed Digital Design:A Handbook of Black Magic. Howard W.Johnson and Martin Graham. Prentice Hall,1993:ISBN 0-13-395724-1
2. Termination techniques for high-speed buses.Karthik Ethirajan and John Nemec,PhD, California Micro Devices
3. Innoveda 公司 ePD2.0 高速电路互连规划与设计空间探测工具 Scratchpad 使用手册