

去耦电容在 PCB 板设计中的应用

徐 亮, 阮江军, 甘 艳, 莫付江, 文 武

【武汉大学电气工程学院, 武汉 430074】

摘要: 在 PCB 板设计中应充分考虑电磁兼容方面的问题, 合理地使用去耦电容在 PCB 板防止电磁干扰中具有重要作用, 本文就去耦电容的容量及其具体应用作了较为全面、详细的叙述, 同时还介绍了增强去耦电容效果的一些实用方法。

关键词: 去耦电容; PCB 板; 电磁兼容

中图分类号: TN41, TN71 文献标识码: B 文章编号: 1001-1390(2008)08-0005-02

Application of decoupling capacitor in PCB design

Xu Liang, Ruan Jiangjun, Gan Yan, Mo Fujian, Wen Wu

[School of Electrical Engineering, Wuhan University, Wuhan 430074, China]

Abstract: This paper points out that the EMC should be considered in the design of PCB and the decoupling capacitor is important. The paper gives the considerations about the use of the decoupling capacitor, and some practical methods developing the decoupling effect in detail. This EMC design method provides a various guidelines to achieve better development and designs on PCB, with greater application value.

Key words: decoupling capacitor; PCB; EMC

1 概 述

随着电子技术的发展, 电子设备在各个方面的应用越来越普及, 对于电子设备的电磁兼容性要求也越来越高, 对电子设备的抗干扰能力也有了严格要求, 而 PCB 板设计在电子设备的电磁兼容性抗能力方面有着重要的作用。本文主要讨论的是在 PCB 板设计中如何合理地使用去耦电容的问题。

2 去耦电容的作用

PCB 上供电线路的寄生阻抗有可能产生下述三种电磁干扰, 所以应采用去耦电容 (如图 1) 来防止和减轻这些干扰的影响。

1) 门电路开关瞬间电流是跳跃式变化的, 由于集成片通过电源线与电源相连接, 电源线的电感将会阻止电流的瞬态变化, 从而影响集成片的响应速度。

2) 集成片的瞬态变化电流流过环路面积较大的电源线路时, 将会产生较为强烈的对外辐射噪声。且由于各集成片很可能会流经相同的线路, 相互之间存在较大的公共阻抗, 从而产生了较严重的共阻抗耦合干扰。

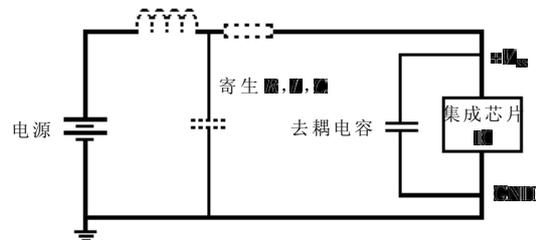


图 1 加在电源端和接地端之间的去耦电容

3) PCB 板的电源线存在寄生电阻、电容、电感, 线路电感的反电动势又使集成片得到的电源电压高于额定值。所以当集成片电源端子上电压振荡的幅值超过数字逻辑元件的噪声容限时就会产生干扰。

去耦电容的充放电作用使集成片得到的供电电压比较平稳, 减小了电压振荡现象; 集成片可以就近在各自的去耦电容上吸收或释放电流, 不必通过电源线从较远的电源中取得电流, 因此不会影响集成片的速度; 同时去耦电容为集成片的瞬态变化电流提供了各自就近的高强通道, 从而大大减小了向外的辐射噪声且相互之间没有公共阻抗, 因此抑制了

共阻抗耦合。

由于去耦电容在高频时的阻抗将会减小到其自谐振频率 (具体计算方法如下面内容所述),因而可以有效地去除信号线中的高频噪声,同时相对低频来说对能量没有影响,所以可在每一个集成片的电源地脚之间加一个大小合适的去耦电容。在选择去耦电容类型时,应考虑那些低电感的高频电容,例如高频性能较好的多层陶瓷电容或独石电容。

去耦电容的容量

从上述三种作用出发可得到去耦电容容量必须满足下列条件:

1) 集成片与去耦电容两端电压差 ΔU , 必须小于噪声容限 U_{NL}

$$\Delta U = \frac{I_{瞬} \cdot t_{上升}}{C} \leq U_{NL} \quad (1)$$

式中 $I_{瞬}$ ——门电路开启时所需暂态电流幅值;

$t_{上升}$ ——门电路开启所需时间, 一般为脉冲上升时间;

C ——去耦电容的电感 (包括引线电感以及去耦环路电感)。

2) 从去耦电容为集成片提供所需的电流的角度考虑, 其容量应满足

$$C \geq \frac{I_{瞬} \cdot t_{上升}}{\Delta U} \quad (2)$$

理想的去耦电容应能提供逻辑设备所需的暂态电流。当集成片门电路由关闭状态翻转成开启状态时, 将在 $t_{上升}$ 内从去耦电容中吸收大量的暂态电流 $I_{瞬}$, 该电流不仅包括门电路开启所需的电流, 还包括驱动下一级门电路负载的扇出电流。由于去耦电容在 $t_{上升}$ 内仅提供能量, 还来不及从电源中获得补充能量, 所以电容上的电压将下降 ΔU , 该电压跌落应被控制在规定的范围内; 由于电容器上的电压就是集成片上的电压, 所以电压的跌落应该不引起集成片门电路的错误逻辑动作, 一般取 ΔU 为 $20\% U_{NL}$ 。

3) 集成片开关电流 I_s 的放电速度必须小于去耦电容电流的最大放电速度 $\frac{dI}{dt}$

$$\frac{dI}{dt} \leq \frac{I_s}{C} \quad (3)$$

4) 去耦电容的自谐振频率 f_0 必须大于集成片的最高应考虑的谐波频率 $f_{最高}$

$$f_0 \geq f_{最高} \quad (4)$$

从直观上看似乎电容值越大提供电流的能力越强, 因此许多人喜欢使用容量大的去耦电容, 实际上这是一个错误的观念。因为实际使用的电容器总存

在一定的引线电感, 这些电感与电容将产生串联谐振。

在谐振频率点 f_0 处阻抗最小, 其为高频电流所提供的通道阻抗最小, 所以去耦效果最佳。所以谐振频率将是使用去耦电容时应首要考虑的问题。计算引线电感的公式为

$$L = \frac{\mu_0 \mu_r}{4\pi} \cdot \frac{2\pi \cdot l}{r} \cdot \ln \left(\frac{4l}{\pi r} \right) \quad (5)$$

式中 l ——导线的长度;

r ——导线的半径。

一般实际使用电容的引线电感 L 约为每英寸 100pH , 同时每个过孔约有 1 到 50pH 的电感, 由

$$L = \frac{1}{c^2} \cdot \frac{dI}{dt} \quad (6)$$

即得理论上的谐振频率。具体使用的去耦电容的自谐振频率随封装形式以及引脚长度的不同而有所变化, 应进行具体的测量。引线为 0.1 英寸的去耦电容的自谐振频率可参见文献 [4]。

应注意到由于表面安装式电容器有较小封装形式, 所以其引线电感较低且没有径向引线或轴向引线电感, 故其自谐振频率比普通形式的电容器高 10 倍。

在进行去耦电容器容量选择时, 一旦工作频率超过其谐振频率时, 串联电路呈感性, 阻抗随频率升高而增加。由于去耦支路作为高频去耦通道的条件是

去耦支路阻抗 $Z_{支路}$ 电源线阻抗

所以去耦支路去耦效果将随频率升高而下降, 最后甚至不起作用。此时应根据集成片的最高谐波频率 $f_{最高}$ 来选择去耦电容的自谐振频率 f_0 。频率取值的最佳条件为 $f_0 = f_{最高}$ (即在高频时其通道阻抗最小), 其中

$$f_0 = \frac{1}{2\pi \sqrt{LC}} \quad (7)$$

式中 $t_{上升}$ ——门电路脉冲上升时间。

由式 (1) 及式 (7) 可得去耦电容的最大值为

$$C_{max} = \frac{1}{4\pi^2 \cdot f_{最高}^2 \cdot L} \quad (8)$$

上述公式仅是定性的分析, 实践中常常采用试验的方法来确定最佳电容值。根据试验, 对 100 和 1000 脚的芯片, $100\text{pF} \sim 10000\text{pF}$ 的电容具有最好的效果。

实际电路中当集成片同时有多个逻辑门状态发

生变化时,电容值要按逻辑门的数量扩大。例如为确保在刷新过程中正确的运作,内存需要大容量的去耦电容以提供更大的电流,例如 256K 的 RAM 需要 0.1μF 的电容。对插脚多的超大规模集成电路元件也是如此。同时对高密插脚方格布置模型需更多的去耦电容,特别是比较大的容性负荷下信号、地址和控制端同时变化时更是如此。

3 多层印制电路板的去耦电容

在设计 PCB 板时采用多层 PCB 板,其中的一个好处是可以将电源层和地层相邻布置。多层 PCB 板的物理关系产生了一个较大的去耦电容,通常这个电容为低频提供了足够的去耦能力。应注意该去耦电容只有在层间相距很近 (0.01 英寸,高频时最好是 0.005 英寸)时才能达到最佳效果。如果门电路脉冲上升时间 t_r 小于 10 ns (例如标准的 7400 系列逻辑芯片),就不需要再加去耦电容。但还需要储能电容来保证正常运行时所需电平,例如在电源进线两端接 0.1μF 的储能电容。

使用电源层和地层作为主要去耦电容仍要考虑层间电容的自谐振频率。如果电源层与地层的自谐振频率与 PCB 板上总的去耦电容的自谐振频率相等,则遇到该频率时就会发生剧烈的谐振,不再有宽频的去耦能力。如果时钟频率与该谐振频率相等,高频时将没有去耦能力。发生这种情况时,PCB 板会变成辐射源且有可能达不到控制电磁干扰的要求。这时可以采用外加具有不同的自谐振频率的去耦电容以改变 PCB 板层间的谐振频率。

改变电源层和地层自谐振频率的一个方法是改变其层间距离。增加或减小隔离高度或重新布置层面将改变电容值,但缺点是随之也改变了信号轨线层的阻抗。通常情况下多层电路板电源层和地层的自谐振频率在 200-1000MHz 之间。可以考虑应用 10-1 规则使自谐振频率增到 1-10 倍。下面将给出计算多层板自谐振频率的公式。

多层印制电路板中芯板厚度、介电常数以及印制电路板中电源层的位置都会影响其去耦电容的大小。用于计算 PCB 板去耦电容谐振频率 f_r (MHz) 的两个公式如下

$$f_r = \frac{1}{2\pi \sqrt{L C}} \quad (1)$$

$$f_r = \frac{1}{2\pi \sqrt{L C_0 \epsilon_r}} \quad (2)$$

式中 L ——引线电感 (nH);

C ——平板电容器的电容 (pF);

l ——内部连接长度;

c ——真空中的光速;

ϵ_r ——媒质中的介电常数。

通过谐振频率可求出去耦电容的容量 C

$$C = \frac{1}{4\pi^2 f_r^2 L} \quad (3)$$

式中 ϵ_0 ——真空的介电参数;

ϵ_r ——极板间介质的相对介电常数,典型值为 4.5;

N, A, d ——平板的数量、面积及两极之间的厚度。

上面的公式仅适用于所有安装有去耦电容的印刷线路板具有完全相同的区域。但在某些实际设计中由于在电路板上存在着用于内部连接的过孔,使其不能成为一个整体,设每个分离区域的面积分别为 A_1, A_2, \dots ,相应的厚度为 d_1, d_2, \dots 。这时应使用下面的公式求其容量

$$C = \epsilon_0 \epsilon_r \sum_{i=1}^n \frac{A_i}{d_i} \quad (4)$$

4 增强去耦效果的方法

增强去耦电容的想法就是要尽量阻止一个电路对另一个电路的影响。所以合理使用去耦电容就成为增强去耦电容效果的重要手段。

去耦电容的作用是减小耦合干扰和为芯片提供瞬态高能量。应尽量降低去耦电容器自身的引线电感,所以单个去耦电容或并联去耦电容的引线越短,去耦电容的工作状况越好。由于安装电容器时其引线长度 (应注意引线长度还包括将电容器连接至层面的通道长度)是固定的,因而实际中减小引线电感是不可能的。由于去耦电容安装到实际印制电路板上还存在着去耦环路电感,去耦环路电感同样会影响去耦效果,所以一般认为在布线时要尽量使去耦电容靠近芯片。但这种提法有时不够确切,更确切的要求是使去耦电容的供电回路面积尽量小。也就是说使去耦电容与芯片电源端和地端间的连线尽量短。

所以应将图 2(a)中去耦电容的安装方法改为如图 2(b)所示。

由于电源插头位于元件中间可以提供最优的去耦电容布置,所以应尽量选择电源和地端位于设备

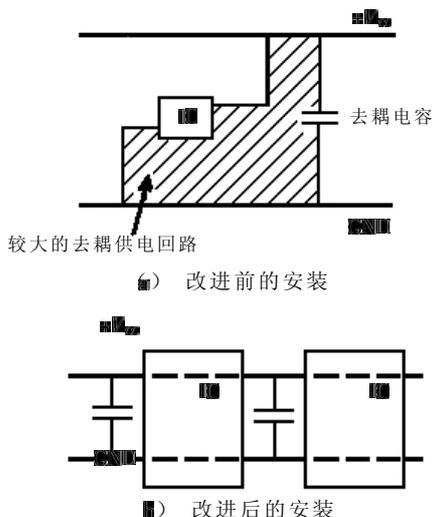


图 1 去耦电容安装方法的改进

中间而不是在对角线上。这种布局不但减小了设备和去耦电容连接线的长度，还减小了封装体内电源和地之间的引线电感。

为了抑制元件在开关电路同时翻转时产生的频带较宽的暂态电流，可将两个电容器并联安装在电源插脚上以优化工作状态。但是并联电容器的数值必须相差两个数量级（如 100pF 和 10nF ）。并联电容器的总电容并不重要，并联电容的并联电感值才是重要的问题（由于自谐振频率）。这是由于增加一个较小容量的电容后，其总容量并没有较大改变，但是两组引线将比一组引线拥有更宽的信号线，所以引线电感将会有所减小。该方法还可用于改变电源层和地层的自谐振频率。

根据对多重去耦电容的研究表明^[1]，并联去耦电容并不十分有效。在高频区域并联去耦电容仅比单个大电容有 10% 的改善。尽管 10pF 对于暂态电流的抑制来说只是一个小数目，但这 10pF 也许可以使一个不符合内部电磁干扰规定的产品变为符合规定的产品。

图 2 显示了电容值为 100pF 和 10nF 的电容分别安装以及并联安装时的响应^[1]。

根据去耦电容的工作原理，如果增加芯片从电源吸收能量的难度，就能使芯片尽量从去耦电容吸收能量，从而充分发挥去耦电容的作用，减小电源线上的噪声^[2]。根据这个思路，可以人为地增加去耦电容电源一侧电源线的阻抗。所以在布线时，使电源侧的布线尽量细（但要满足供电的要求），增加布线的电感，相当于增加了阻抗，可以起到一定的效

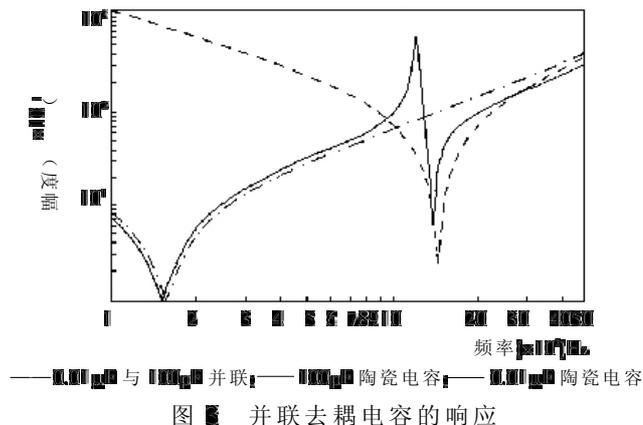


图 2 并联去耦电容的响应

果。也可如图 3，在去耦电容的电源侧安装一只铁氧体磁珠，由于磁珠对高频电流呈现较大的阻抗，因此增强了电源去耦电容的效果。该方法不仅能在芯片级的去耦电容上应用，在二级去耦电容和线路板电源入口处也可使用，减小了较长电源线上的电流波动，从而降低辐射程度。

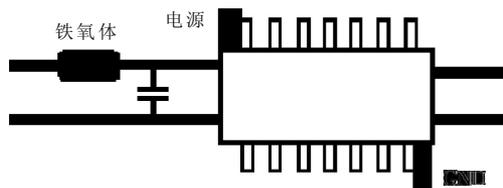


图 3 在去耦电容电源侧加装铁氧体磁珠

但是必须将铁氧体安装在靠近电源处而不能安装在靠近芯片的一端。靠近电源处相当于增加了芯片从电源线吸取电流的难度，使其尽量使用去耦电容中的电流。如果将铁氧体安装在芯片侧，则相当于增加了电容放电回路的电感，会起到相反的效果。应注意铁氧体在直流电流作用下磁导率会下降，甚至由于磁饱和而完全消失。另外铁氧体的实际电感量很小，只对高频电流其阻抗较大，所以铁氧体主要在高频中发挥作用。

另一种减小由于共阻抗耦合带来的地电位波动的传统方法是加一个与电源层-地层并联的有源滤波器。但是文献^[3]中提出，使用有源滤波器将消耗大量的工作电流，整个电路的驱动能力受到影响，文献中同时提出了替代方法。图 4 显示出其用于降低电源以及地点位波动的电路。当电源线电压急剧增加或地线电压急剧下降时，电容将会提供电流给电阻，这将会使 PMOS 门级电压升高。同时 NMOS 的栅

（下转第 158 页）

级以及源级电阻增加，使通过寄生电感的电流减少并且将会有更多的电流流过电容。这样，电容将会比传统去耦电容更有效。

参 考 文 献：

- [1] W.W. Rhee, Introduction to electromagnetic compatibility New York [J], Wiley, 1996.
- [2] W. W.