

PCB板布线面临的关键时刻

——新世纪的先进技术

二零零一年十月

一、 市场和技术驱动力的变革

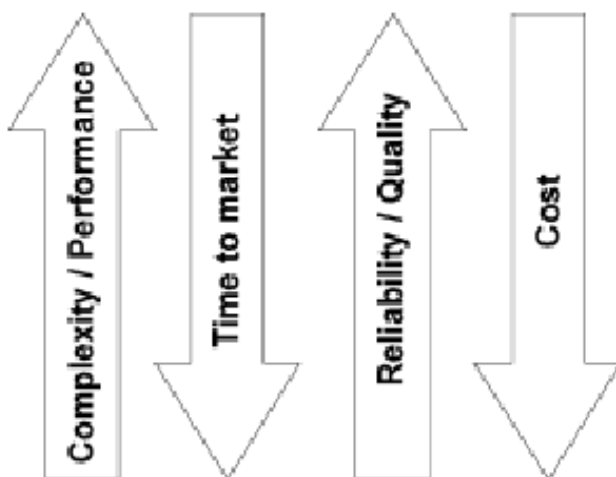
就在不久前，人们意识到印制电路板布线作为一项“稳定技术”已经渐渐停滞不前，而成为发展的障碍。根据多数人的看法，布线的关键部分已得到解决，剩下的问题就是使用不方便，除此之外，确切的说没有其他的了。在电路板设计领域及所涉及到的相应软件工具的开发过程中，当一项技术进入了稳固时期，权威人士会常规性的使用诸如“平凡的，呆板的”之类的词来描述。甚至有多多年经验的业内专家也建议并鼓励 PCB 设计者不断寻找其他的一些真正的技术性挑战。

接着，一切都发生了变化，让大多数墨守成规的人着实吃了一惊。从一开始渐渐的到现在，伴随着集聚的发展势头，PCB 设计领域正经历着一场巨大的变革。由于许多关键性因素的集合，包括集成电路相关的技术的飞速发展，PCB 设计者需要再次重新彻底改造其专业设计工作。几乎是与此同时，国际权威性分析机构 Dataquest 提出了“CAD 的复兴”说法。而 CAD 显而易见的影响着 EDA 设计。Dataquest 公司最近的一次调查显示，尽管在过去一年中 PCB 布局布线工具的重要地位与日俱增，但用户对其性能却仍不满意。由此可见，EDA 供应商必须对此做出反映，提供新一代的更先进的设计工具，而其中的核心自然是 PCB 布线器。

1.1 总体市场略影

在过去的几年里，技术革新呈现出空前的势头，迅速的市场调整则紧随其后。无论是计算机、电信还是消费电子产品，发生变化的步速都令人昏乱而目眩。再加上受全球竞争压力的刺激，新产品的问世变得快速而猛烈。一个很好的例子，仅一个手机制造商每三个月就会推出一款新机型，有时在一年时间内出好多新产品。要维持这一极快的速度意味着缩短产品设计周期并降低成本。为了成功的达到减小设计周期的目的，制造商必须大幅度增强其生产能力，因为生产力是技术市场上近乎神圣的目标。同时，为达到这一目标，设计工具也必须更有效和更多产。而目前的情况是，PCB 设计任务通常是按照计划一次性完成，或付出昂贵的代价。正如人们所说，快了总不是坏事。

Figure 1. Market Drivers



这些主要的市场动力驱使 PCB 设计过程以及布局布线工具在最短的时间内变得更多产。

另一个突出的发展就是产品越来越趋向于小型化。忽然间，任何东西都缩小了，从蜂窝式电话、膝上型电脑、数码相机到集成电路及推动着他们的印制电路板。在外形尺寸趋向变小的同时，更强劲的功能及更优良的性能同样是急切的需求。总之就是要同时做到更小，更快，更强大，更丰富，更可靠。难怪现在 PCB 设计者正面临越来越多的挑战。现在，设计师比以前任何时候都更依赖于较好的软件工具来贡献出质量更高的产品，以符合有效而成本合理的设计过程的架构标准。

如果用布线术语来表达，可以理解为更快的布线速度、更高的布通率、最少的返工次数。这还意味着在消耗更低的加工成本的同时，设计出体积更小、密度更高、层数更少的电路板。此外，还隐含着一种轻松应对芯片、封装及制造工艺的不断更新的能力。最后，在易于使用的同时，布线器本身必须恰如其分地与核心设计环境无缝结合。这些听起来似乎通俗易懂甚至非常明显，然而只有最成熟、最先进的 PCB 布线器才能真正意义上达到这些要求。

1.2 IC 连接

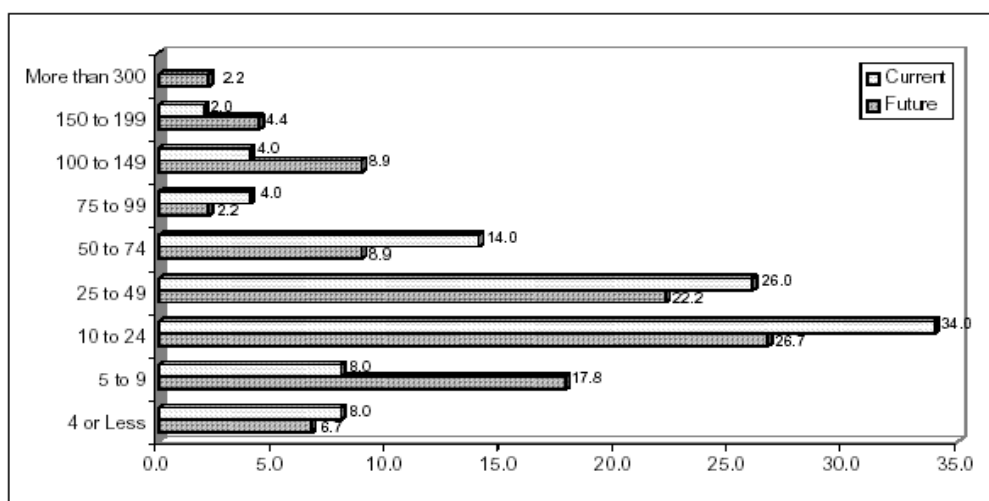
集成电路竞技场上令人惊心动魄的技术进步给印制电路板设计带来了现在的发展与压力。根据摩尔定律的描述，采用最好的加工工艺，芯片能在增加容量的同时缩小其几何尺寸。与此相关的信号转换时间也相应减小。所有这些效果相结合无疑给 PCB 设计者们的工作增加了复杂度。更快的时钟速度和器件边沿速度给电路板布线过程引入了诸多高速方面的问题。而这些问题如果得不到合理的解决，将会威胁到许多问题，如延长设计周期、提高成本、反面地影响产品质量等。

相应的 IC 封装技术的改进也提出了挑战。诸如球栅阵列封装 (BGA) 之类的高密度、微小间距封装的器件的引脚个数达到了 1000 以上，而且居然只占用最小的空间。这些封装形式的优势在于能实现小体积、高密度、高性能的电路板，当然还会提供价格上的优势。管脚间距的减小显著地增加了布线的难度，使布线成为相当具有挑战性的任务。这就需要使用先进的制造工艺来加以补偿。事实上，最新的封装不仅挑战了极限，而且更显露了一些已确立的 PCB 布线器的致命弱点。

1.3 PCB 布线器的关键时刻

多年来，将更多的功能集成到印制电路板中的唯一方法是增大板的几何尺寸并增加层数。结果，这相反却提高了生产成本。然而，那个时代已一去不复返。现在采用的方法是在保持或增加管脚数量的同时减小板和封装尺寸。从技术角度来看，该方法只在封装管脚数进一步增加时才会面临困难。近期的一次数据调查报告说明了这点。

Figure 2. PCB Package Count



[Dataquest, "Clock Speed and the Verification Crisis," November 1998]

封装引脚数量的增加将加剧当前在小尺寸、高密度布板中存在的问题。

或许，对于那些正在设计更复杂的电路板的设计师来说，对下一次设计要花费更多时间并不觉得惊讶。

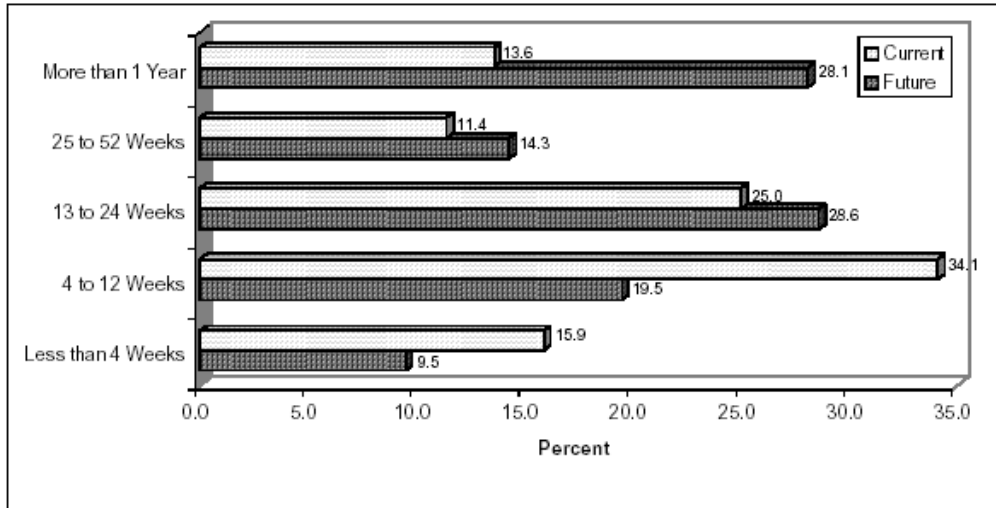


Figure 3. PCB Concept to Finished Board

[Dataquest, "Clock Speed and the Verification Crisis," November 1998]

尽管市场大声疾呼要缩短的产品设计周期，然而现实情况是复杂电路板的设计实际上需要更长的时间，因为设计师不仅要努力获得更高的边沿速度、更小的尺寸、更高密度的封装，还要考虑信号完整性和时序等问题。

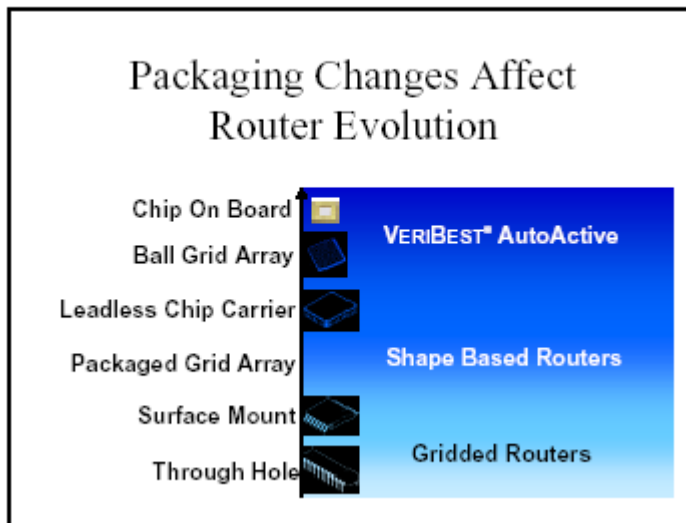
由于布局布线是 PCB 设计的主要组成部分，很显然这两个过程的高效率将直接缩短整个设计周期，同时还提高了整体生产力。印制电路设计杂志 1998 年 9 月的 PCB 市场调查得出结论：现在布局布线任务有更多自动操作，而且设计工具不仅自动布线功能而且是交互式的。在今年的 PCB 设计会议上也有类似的评论，与会者纷纷提倡：PCB 领域需要更易于使用的布局布线工具。

在过度时期需要一个强大而全面的 PCB 布线的解决方案。不仅能解决高速问题、满足封装及加工的要求，而且必须是自动而交互式的、综合性的、易于使用的。只有这样，PCB 设计领域在未来的几个月甚至几年中才能出色地应付日益增长的技术挑战。

二、 布线技术的发展

2.1 封装带来的影响

哪些因素会促使自动布线器效率更高、更多产呢？事实上有许多原因，例如，运行速度、布通率、高质量的布线、应用与保持高速规则的能力、支持当前的封装及制造工艺。可以说没有一个因素可以比其它的更重要。然而，从以往的发展来看，封装及制造工艺的每一次更新都促使布线器的变革，从而使布线器的性能及效率都大幅提高。反之亦然，任何布线器如果不能跟上相应的封装及制造工艺的发展，显然就会被淘汰出局，取而代之的是下一种标准。

Figure 4. Router Evolution

作为下一代布线技术，它必须能支持最新的器件封装形式，其中包括球栅阵列封装（BGA）、芯片级/尺寸封装（CSP）、板上芯片封装（COB）等等。

2.1 布线技术的简史

在器件还处在穿孔插装的时期，栅格布线器（girded-router）独霸天下。那时的过孔相对比较宽、引脚间距较宽，而且对大多数器件来说，焊盘之间的走线是很直接的。随着表面贴装技术（SMT）的问世，引脚间距开始不断缩小。表面贴装技术在当时最大的优势是更小的印迹、更多的引脚数（每个器件达到 84 个之多）。然而第一个表面贴装器件的引脚间距是 25 mils，后来又逐渐减小到 11 mils。最小走线宽度和线间距也相应减小，对已有的布线器构成了巨大的压力。对于栅格布线器来说，网格越小，其运行速度就越慢。最终导致网格布线器被无网格布线器或基于形状的布线器（shape-based router）所取代。诸如 CCT SPECCTRA 和 Zuken-Redac 的 Bloodhound 基于形状的布线器，在 90 年代中期相继出台，期间经历了脚阵列封装（PGA）与无引线芯片载体封装（LCC），一直延续到现在。事实证明，在处理多种器件、不同间距，尤其是在处理细间距器件方面，无网格布线器都比以前的同类产品出色得多。采用 90 度角算法基于形状的布线器作为最盛行的一种，其性能一直令人较为满意。然而好景不长，随着高密度、微小间距贴装技术的出现，这种使用 90 度角的布线器的某些根本性缺点也逐渐暴露出来。

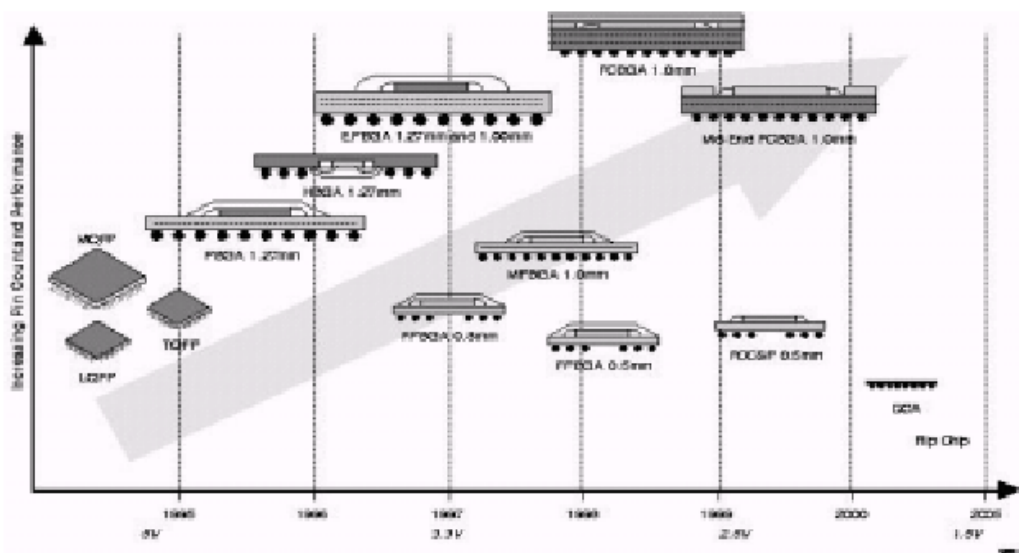
2.2 进入贴装技术领域

在过去的几年中，球栅阵列封装（BGA）与芯片级/尺寸封装（CSP）风靡整个 IC 市场。这两种封装以及其它几种封装如倒片封装（flip-chip）、多芯片模块（MCM）、直接贴片封装（DCA）等都是最受青睐的细间距贴装技术。由于引脚数超过 500，芯片生产商采用了 BGA 封装，且 I/O(引脚)数达到历史最高记录。BGA 上的密集的阵列式焊球数远远超过了传统的四方扁平封装（QFP）的 I/O 容量。由于 BGA 具有很小的外形尺寸、良好的电气性能、低功耗的特点，所以设计者及生产者们一直对它情有独钟。仅 1998 年，就有 42% 的 PCB 设计者声称使用 BGA 封装，而这一数字仍保持增长的势头。迄今为止，BGA 技术的发展也始终行驶在快车道上。早期的 BGA 封装的球间距是 1.27mm，而现在的细间距球栅阵列封装（FPGBA）的球间距已减小到 0.5-0.8mm 之间。

芯片尺寸封装（CSP）是另一个被广泛接受且很得宠的封装形式，尤其在日本，CSP 的

小外形尺寸和相对合理的成本使其在便携式消费电子应用领域大显身手。根据 Dataquest 公司的调查,对于那些需要在小型而高密度的 PCB 板上安装低引脚数器件的设计来说,采用 CSP 封装再合适不过了。

Figure 5. A High-Density Fine-Pitch Package Road Map



[Dataquest, "Next-Generation High-Density Packaging Technology," December 1998]

由于贴装技术很有效的满足当前的市场需求,在今后几年中它将不可阻挡的继续充当者主角,保持主流技术的地位。它同样会对印制电路板布线产生深远的影响。在封装技术更新换代的过度时期,那些无法顺利应对相关问题的布线器将很难继续生存下去,只能出局。

2.3 关键性技术: 45 度布线

一个给定的元件上的大量细间距引脚、板上日渐增加的器件数以及电路板整体尺寸的减小都使得目前的布线器所面临的挑战比以往任何时候都艰巨。焊盘变小、走线宽度变细加上更紧的间距,无不给现在的 90 度角走线的布线器带来了麻烦。大量的引脚交错器件的出现更是加剧了所面临的困境。此外,90 度角布线不能恰当的解决 BGA 封装最关键的出路 (escape) 问题,不能在排列较紧的焊球引脚上打出需要的 45 度角的过孔。

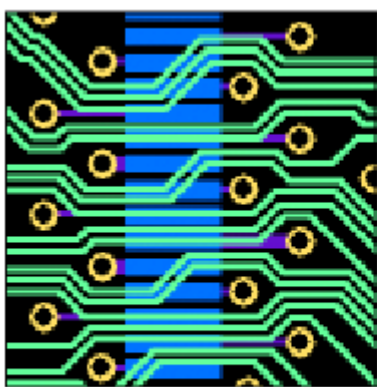


Figure 6a. Native 45-degree Routing

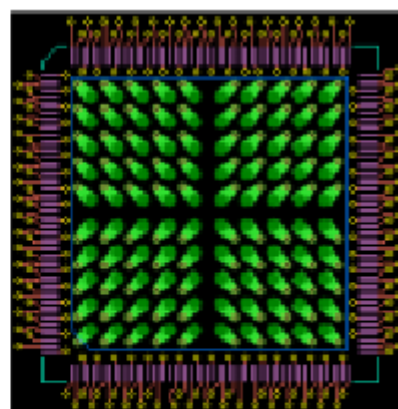


Figure 6b. Fanout

[Caption 6a.] 只有真正的 45 度角布线才能给予设计者足够的灵活性以应付增加的密度和减小的面积所带来的双重问题。图中布线器自动地在交错的引脚之间走出多跟信号线。

[Caption 6b.] 精密复杂的 45 度角大面积打孔算法可以完美地解决 BGA 的出路问题。密集的过孔及引脚之间走线一般很难越过，而运用 45 度角布线方法就能挤过去。这种算法还必须能对无连接的引脚进行大面积打孔，以适应可编程器件的广泛应用。

有些 90 度角布线器试图将 45 度角作为一项后处理过程，实际上却成了效率杀手，降低了生产力。因为整个电路板从一开始就是 90 度角布线，设计者无法最优的利用本身狭小的板上空间。缺少足够的空间通常会削弱布线器的性能。高速设计中其它一些常用的功能，例如走线转角的优化，90 度角布线器都无法实现。总之，如果试图改进 90 度角布线器以适应目前的挑战，那么最终必须以速度、性能、遵循高速设计规则为代价。到最后遭殃的还是设计者。

最理想的解决方案是一种综合的、基于形状的、采用 45 度角布线的 PCB 设计系统，这种系统的布局、智能化与自动布线都运行在同一环境下，并使用相同的编辑器。在这种情况下，设计师在布线时实际上只要先在 BGA 的印迹上大面积打孔，然后利用自动布线器来快速的完成任务，再根据事先建立的设计规则对溢出的线进行优化就大功告成了。在需要交互式修改的情况下，45 度角布线器会自动地将设计者所做的任何改动根据要求包含进去。

2.4 高密度设计对布线的影响

市场对那些功能更多、性能更优、外形尺寸最小的产品的需求促使印制电路板设计正以惊人的甚至无法想象的速度发展着。显然在这个过程中，传统的互连技术已无法适应新一代的小体积而高密度的电路设计。通孔的尺寸过大，无法适用于 BGA 及其它一些微型的高 I/O 引脚的器件。增加板的层数也不是明智的选择，相反，设计师们却极力减小层数以响应降低生产成本和缩短加工时间的要求。要想在减少层数的同时获得高密度的布线，先进的细微间距的互连看起来是唯一的出路。可见，PCB 设计师们所面临的挑战无疑是掌握这种技术性解决方案所带来的高度复杂的技术。当然布线器在其中也不可忽视的扮演着举足轻重的角色。

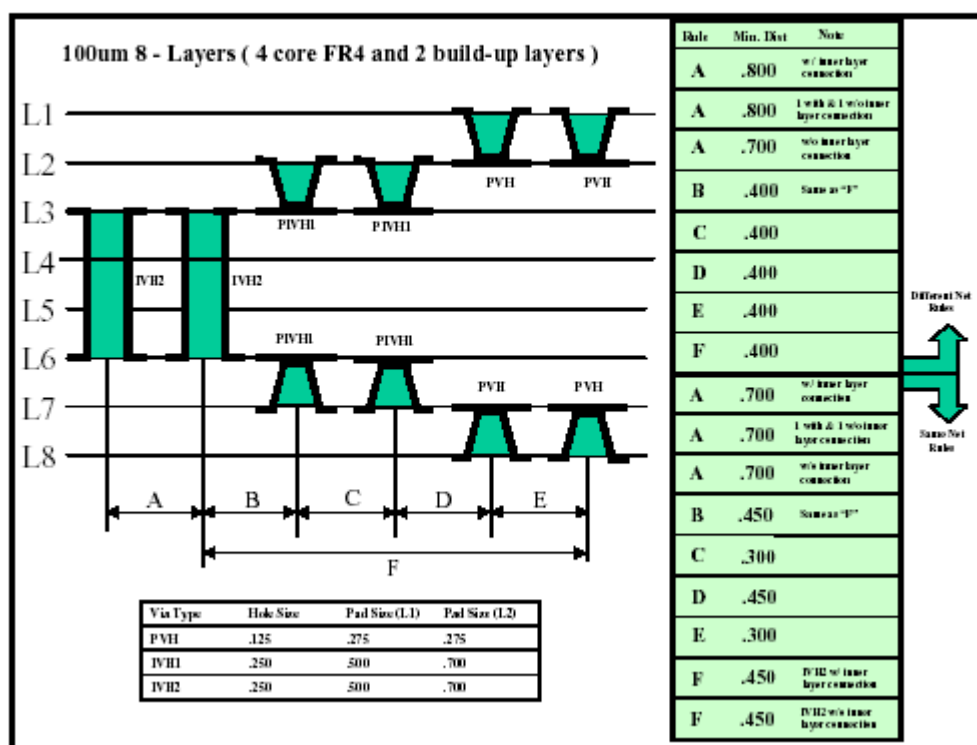
2.5 布线器 & 微型过孔的变革

在目前的进退维谷之间，微型过孔技术最终应运而生。虽然现在微型过孔价格比较昂贵，但它非常具有市场前景。因此，在需求不断增长及工艺的改进促使相关的加工成本下降的同时，微型过孔越来越受到高度关注。极小的微型过孔也就理所当然的成为采用 BGA 和 CSP 封装的布线设计的首选。最小的通孔尺寸为 50um 或 2mils 的内径，125um 或 5mils 的外径。微型通孔的盛行也使盲孔和埋孔的应用更广泛，进而有利于在高密度、阵列式贴装器件的走线。许多值得注意的加工制造方面的发展推动了微型过孔的革新，例如：以欧洲和日本为先驱的组合制造工艺、激光等离子体钻孔工艺的改进。

有一点是无可争议的，即 PCB 布线器必须涵盖先进的连接特性以保证微型过孔在设计中使用的正确性。新的要求包括任意两层之间使用过孔，每个过孔的孔径延迟。支持微型盲孔和埋孔很关键：一个盲孔连接表层和一个或多个内层，而一个埋孔则只连接内层与内层。为了进一步减小布线时间并从而缩短整体设计周期，自动布线也必须支持微型通孔。

为了最大限度的增加布线密度，过孔可以打在焊盘的内部，通常称作 via-under-pad 或 via-in-pad。对于高引脚数阵列，当引脚位于中央或阵列内部时，这种打孔方式很实用。对于环绕型的引脚分布，由于空间过于拥挤，几乎不可能完成布线工作。为了连接到内部的 pin 脚，布线器必须能够自动地在相应的焊盘上直接打一个过孔，让信号线从另外一层走，这样也缓解了顶层的空间密度问题。

Figure 7. Buildup Technology Enables Microvias



在这个8层板中，中间的四层或者叫核（core）包含了通孔，通孔是采用传统方法加工的。相反，顶层和底层是采用图像分解和顺序迭片方法完成的。用这种方法打造的电路板被广泛应用与计算机、电讯、军事及航空领域。该工艺同样适用与多芯片模块（MCMs）。

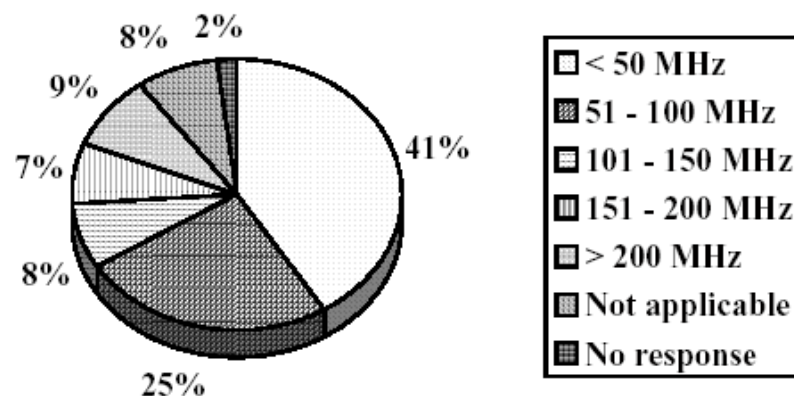
三、 高速设计面临的挑战

包括时序（timing）和信号完整性（SI）在内的高速问题目前正是数字 PCB 板设计师的中心课题。通常情况下，高速的概念是指时钟速度达到 50MHz 或以上的电路板设计。根据这一定义，目前 50%-60% 的电路设计涉及高速问题。事实上，高速问题的重要性与日俱增。以下来自 Dataquest 公司提供的信息也许能证明这一点：

即使是那些仅仅利用现今市场上的器件更新“过时的”或“速度慢”的电路板的工程师们也会遇到他们以前从未经历过的设计问题。与时钟速度相比，高速设计问题与器件快速的边沿速度似乎有着更紧密的联系。电路板正在进入只具备 10MHz 时钟速度的高速设计时期。

许多专家都同意这一观点。业界极富经验的权威 Claude Jordon 最近说：“所有的 PCB 设计将变为高速设计。”当电路板上单个器件的速度增加时，包括器件封装在内的无源互连会像传输线一样产生寄生效应，从而对整个系统性能产生负面影响。作为先进的高速设计，有必要充分意识到这些相互关系并且具备解决这些问题的能力。

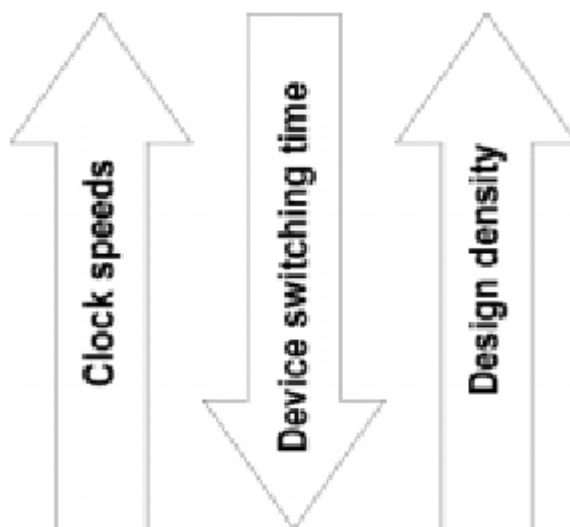
还有一个原因表明设计者面临越来越多的挑战，那就是板上关键的高速信号线渐渐增多。过去，只有 2/5 的线被认为是重要的线；然而现在，这一数字普遍超过 50%。对于一些高速应用，每块板上关键走线的比率可达到 90% 之多。目前，平均一块板上约有 5000 根连线，如今的设计师必须自如的应付高速设计带来的一切。

Figure 8. High-Speed Designs Increase

1998 年 9 月，在接受 PCB 设计杂志调查的工程师中，有过半的工程师声称自己所做的设计是 50MHz 或 50MHz 以上。

3.1 进一步透视

信号完整性 (SI) 和时序 (timing) 问题作为冲击 PCB 设计领域的一股巨浪，时机已相当成熟。追溯其原因，可以概括为三个集中的关键因素：电路板密度的增加，时钟频率的攀升，器件开关速度降到 0.5ns。由此引发的信号完整性问题包括噪声增加、振铃、反射等现象。进而，诸如过大的门延迟、过长的互连时延、时钟偏差及信号不稳定都会增加转换方面的错误。遭受到此类高速方面的影响的电路板会发出间歇性的征兆，而且常常很难诊断。最终损害了可靠性甚至会导致产品设计失败。这种结果显然是不受欢迎的，因为代价太昂贵了。尽管许多设计师并不十分了解电气设计原理，但仍需要知道如何成功的驾驭这一充满危险的雷区，从而在不超出预算的前提下，按照计划设计出高质量的终端产品。

Figure 9. High-Speed Technology Drivers

3.2 合适的工具

无论是“经验法则”还是过度保守的设计规则，对于新一代的高速设计来说都已成为昔日黄花，不在适用。就连现在的许多 PCB 布线器也遭到同样的命运。为了成功地面对高速电路板，布线器必须能加入一系列外部的复杂设计规则，当然可以是自动或互动的。至关重要的高速设计规则包括以下几点：

时序方面：

- 最大走线长度或延迟；
- 匹配的长度或延迟；
- 偏差控制；
- 时延公式；
- 引脚连接顺序；

信号完整方面：

- 差分对；
- 层数限制；
- 信号线宽度范围；
- 布线的拓扑结构及优先级；
- 终端分配；
- 阻抗控制；

为保证实际设计始终符合所有预定义的约束规则，布线器必须能特殊处理，自动让信号线转弯。当然在互动的情况下也必须具备这种功能；这更可以让设计师能预先对关键的器件和信号线进行布局布线。在高速设计中，这种处理方法受到普遍欢迎。最理想的状况是，所有的步骤都在同一个综合的编辑环境下完成，这样设计规则在设计的每一阶段都保持不变，从一开始的由工程师确立的规则定义一直到逻辑设计和布局布线。

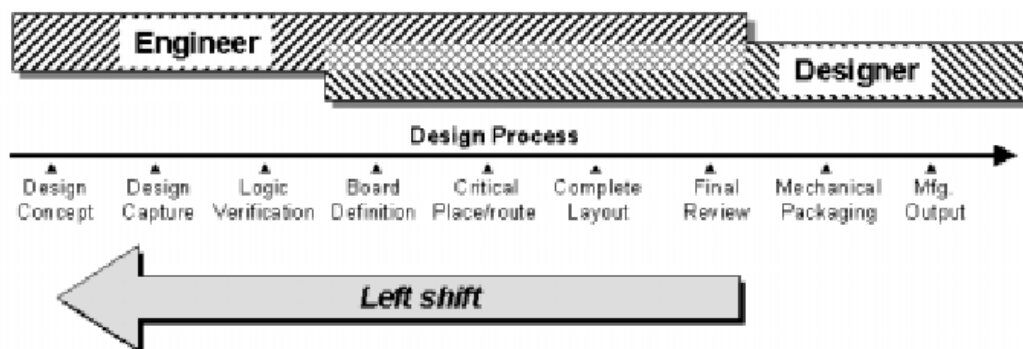
能自动布线并调节差分对对高速设计来说尤为重要。碰到包含 1000–2000 个差分对的复杂而高性能的电路设计并不是什么怪事，特别是在计算机、网络和通讯领域，根本不足挂齿。差分对通常被用来减小信号在长距离甚至有时在不同电路板之间传输时的失真。正是因为这一原因，用在通讯站上的电路设计中常常需使用大量的差分对。

3.3 合适的方法：左移原理

高速设计通常需要频繁的信号分析与校验，甚至在原理图制作阶段就要开始。只有既遵循设计规则又具备综合的分析工具才能保证最终的高速设计的正确性。这种方法同样可以减少返工次数，尤其在今后成本较高的设计中。

这一原理叫做“左移”，事实证明它在工程师和设计者获得一个综合而全面的系统时出人意料的有效。在利用同一个编辑器、共享的规则和设计数据库前提下，该系统集成了设计涉及的所有过程，从原理图获取到各种形式的分析及布局布线。这使设计者不必在每次重新进入设计规则，也使下一阶段的仿真更简单了。布局分析通常在器件放置完毕后进行，这样可以产生更精确的电气模型，并且在布线后还要分析一次。虽然该分析相对整个设计过程来说比较滞后，但这样会得出更精确的结果，因为在实际连接时，它可以根据规则不断矫正。到目前为止，借助串扰分析，所有的走线存在的问题都可以被检查出来。

Figure 10. Addressing the High-Speed Problem Earlier



在过去，信号完整性分析要到布局阶段才开始。为了避免以后既费时又昂贵的返工，必须提前进行分析并且一直持续到整个设计过程的结束。用这种方式进行分析就叫做“左移”。

四、 展望下一代布线器

市场与技术正从根本上迅速而不可逆转的影响着 PCB 设计。越来越多的 PCB 设计师发现仅仅能解决过去所面临的问题的布线器早已无法应对眼前的挑战。为下一代设计所开发的布线器必须一如既往的坚持更高的性能；适应最新的 IC 及器件封装带来的发展；涵盖高速设计特性；提供交互式和自动操作功能，当然最终要的还是易于掌握与使用。