

高速 PCB 板的电源布线设计

金环衣, 胡建萍, 陈显萼

(杭州电子工业学院 CAE 所, 浙江 杭州 310037)

摘要:本文分析讨论了高速 PCB 板上由于高频信号的干扰和走线宽度的减小而产生的电源噪声和压降,并提出了高速 PCB 的电源模型,采用电源总线网络布线,选取合适的滤波电容,模拟数字地分开等几个简单有效的方法来解决高速 PCB 板的噪声和压降问题。

关键词:高速电路板;电源网络总线;模拟数字地

中图分类号:TM135

文献标识码:A

文章编号:1001-9146(2002)01-0036-04

0 引言

随着集成电路工艺和集成度的不断提高,集成电路的工作电压越来越低,速度越来越快。进入新世纪后,CPU 和网络都迈入了 GHz 的时代,这对于 PCB 板的设计提出了更高的要求。本文正是基于这种背景下,对高速 PCB 设计中最重要的一环——电源的合理布局布线进行分析和探讨。

1 电源模型分析

通常,在进行理论上的分析和计算时,都是把电源进行理想化,即电源无内阻,也无寄生阻抗。如果用一个 3.3V 的电压源对 PCB 上的元件供电,那么无论距离电源的远近,各个元件都应工作在 3.3V,且没有噪声。然而在实际的设计工作中,由于 PCB 上的 IC 和输入输出的信号都工作在高频下,电场和磁场的相互转化,必不可免的给电源引入了噪声,如图 1、图 2 所示。同时由于 PCB 板上的走线非常的细,又产生了由于线路阻抗引起的压降,使远离电压源的器件工作电压小于电源电压。因而高速 PCB 的电源布线存在两个关键的问题:电源噪声和压降。

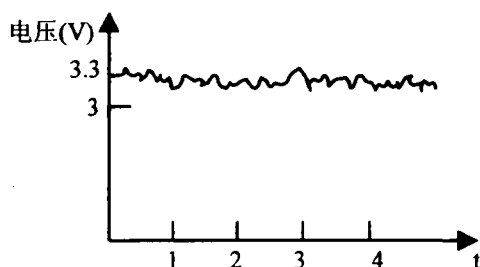
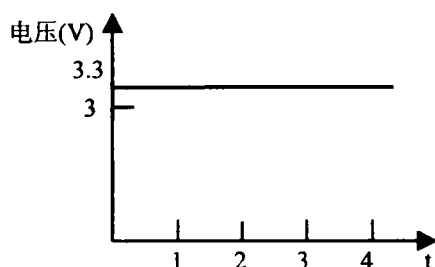
2 电源线的合理布局

设计高速 PCB 板的关键之一就是要尽可能的减小由于线路阻抗引起的压降和高频电磁场转换而引入的各种噪声。通常用两种方法来解决上述问题。一是电源总线技术(Power Bus),另一种方法就是采用一个单独的电源层进行供电。后者在很大程度上缓解了压降和噪声的问题,但考虑到多层 PCB 的工艺复杂,昂贵的费用和较长的制作周期,一般设计者们更喜欢采用前者,因而有必要对电源总线的合理布线进行分析讨论。

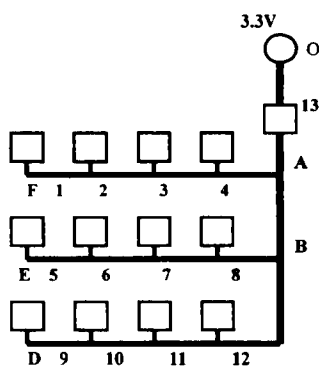
如图 3 所示,采用了电源总线技术,各个元器件悬挂在电源总线上,所以又称之为悬挂式总线,电源

收稿日期:2001-10-28

作者简介:金环衣(1978-),男,江苏吴江人,在读研究生,电子设计自动化。



总线的宽度通常比普通的信号线要宽,采用总线技术后,虽然可以减小压降和和噪声的问题,但它们仍然存在的。



首先来看压降问题,假设电源电压为 3.3V,OA,AB,BC,CD,BE,AF 各段导线的电阻为 0.05Ω ,PCB 板上的每个元器件的扇出或吸入电流为 200ma,并作两个理想假定:

1. 不考虑由于 A, B, C 处电源线地突然拐角而产生的电压电流突变;
2. 不考虑边界元件(1,4,9,12)由于电磁场地相互转换而引起的边界效应。

则导线 OA 中的电流为 2.6A,导线 AB 中的电流为 1.6A ,导线 BC 和 CD 中的电流为 0.8A,最后元件 9 上的电压为:

$$3.3 - 2.6 \times 0.05 - 1.6 \times 0.05 - 0.8 \times 0.05 = 3.01 \text{ V}$$

由于线路的阻抗产生了 0.29V 的压降,偏差几乎达到 10%,这对于一个 3.3V 的电压来说,误差太大了,而且随着 IC 朝低电压方向的发展,已经有很多工作在 2.5V 乃至更低的电压下。

将是非常致命的。同时,在这种电源总线下,噪声也是一个很大的问题,如图 3,每个器件产生的噪声都将通过电源耦合到元件 13 中,这也就是说器件 13 叠加了 13 个元件的噪声,这将很容易引起器件 13 不

能正常工作。由于这两个问题依然存在,因此对电源总线技术进行了改进,如图 4 所示,它被称为电源总线网络法,即让电源总线相互交叉,而把对噪声和压降敏感的元件放在电源线网络的交叉点上,使得每一个元件同时属于几个不同的回路,如图 4 中的元件 6,7 就分别属于四个不同的小回路。由于电流可以从网络中的任何一条总线上进来或出去,而且每一个网孔构成了一个回路,这就不仅可以使网络中每条总线上的电流趋于均衡,不会出现悬挂式总线上的各段总线电流大小不一致的问题,因此就可以减小由于线路阻抗引起的压降问题。元件的电流由各网孔 417/分担,每个网孔的电流为 400mA。对于元件 5,元件 9 和元件 1 的电压都比它高,因而电流从元件 1 和 9 流向 5,从 5 流出到 6。在最坏情况下即元件 9 和 1 的电流全部从一端流出进入元件 5,则元件 5 上的电压为 $3.3 - 0.4 \times 0.05 = 3.28\text{V}$ (仍假定各段导线电阻为 0.05Ω),要比悬挂式总线高了许多。悬挂式电源总线和改进型电源总线中元件 1, 5, 9 元件的电压数据分别如表 1 和表 2 所示:

表 1 分布式电源总线电压

节点元件	电压(V)
1	3.13
5	3.05
9	3.01

表 2 改进型电源总线电压

节点元件	电压(V)
1	3.3
5	3.28
9	3.3

从表中可以看到由于采用了改进的电源总线技术,元件 1,5,9 的电压都得到了极大的提升。

同时对于各个元件产生的噪声来说,由于干扰是高频信号,因而每个回路可以看成是一个单匝线圈。

根据法拉第电磁感应定律 $\xi = \frac{d\Phi}{dt}$, 由于每个回路中的电流方向不一样,因而产生的变化磁场(大小为穿过每个网孔的磁通 Φ) 的方向也就不一致,因而感应的电动势的方向也就不一致,这样就可以起到相互抵消的作用,减小了由于噪声干扰产生的尖峰电压或电流,保护了元件的正常工作。同时由于电源总线网络是杂乱无章的,因而每个元器件产生的噪声通过电压平均的耦合到其它各个元器件上去,最终减小了远端器件的压降和近端器件的噪声问题(相对电源而言)。改进的电源网络总线技术不仅对宏观的 PCB 十分有效,对微观的大规模集成电路中的电源的布线也具有一定的参考价值。

3 滤波电容的选取与放置

虽然采用了改进的电源总线技术后可以在很大程度上减小噪声的问题,但它总是存在的,这就必然要求引入电容器进行滤波。电容器的种类有很多,由于制造的材料和工艺的不同,各种电容器的滤波性能不尽相同。同时在高频下,电容本身也会产生寄生的阻抗^[1],如图 5,图 6 所示。因而在高频下,电

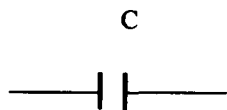


图 5 理想电容

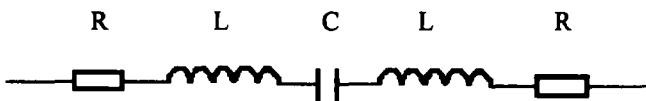


图 6 高频下电容器实际电路

容本身成了一个谐振电路 $f_r = \frac{1}{2\pi\sqrt{LC}}$ 。由于寄生阻抗的存在,当电容器的工作频率 $f > f_r$ 时电容呈现感性, $f < f_r$ 时,电容呈现容性,如图 7 所示。因而在选择滤波电容是要特别小心,要尽量使电容工作在容性状态,如果电容选取不当,使电容工作在感性状态,那么也就失去了滤波的作用。因此一定要选取电容值(C)大,串联电阻(R)和串联电感(L)小的电容器。由于制造材料的不同,各种电容的参数也不同,一般来说,电解电容和钽电容对低频噪声的滤波效果比较好,瓷片电容,独石电容等对高频噪声的滤波效果比较好。在实际的 PCB 板的设计中,滤波常分为两个部分,电源滤波和器件的滤波。对于电源,由于整个 PCB 板上的噪声都加到了它的上面,其中不仅包含了低频噪声,也包含了大量的高频噪声。为了有效的滤除这些噪声,通常是采用一个大电容(典型为 $> \mu F$ 的电解电容或钽电容)和一个小电容(典型为 μF)并联来进行滤波,这样可以极大的提高滤除的噪声范围,如图 8 所示。对于器件滤波,随着集成电路工艺的进步,IC 自己本身能较好的抑制低频噪声,而对高频噪声比较敏感,所以一般采用小电容(典型为 μF)来进行电源滤波。

4 数字地和模拟地

随着 IC 集成度的提高,现在的 IC 一般都有好几对电源和地,其中就有模拟地和电源地。地线实际上也是一条信号线,但它的特殊性在于它是电路的公共端,通常是指零电位点。但由于使用的导线和敷铜连线在高频下都有寄生的电感,电容的存在,将当其用作地线时,导线本身的阻抗也会是电容产生公

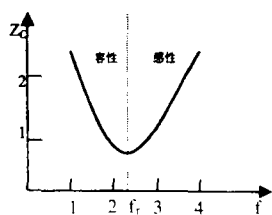


图 7 单个电容滤波

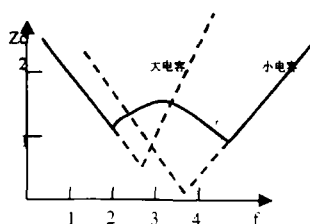


图 8 两个电容并联滤波

共耦合,从而使模拟地和数字地相互干扰。由于数字信号的 0,1 有一定的容差范围,如 0.7V 以下为 0, 2.4V 以上为 1,所以数字信号上有几百毫伏的噪声一般是不会影响信号的正常判断的。而模拟信号对噪声十分敏感,如果一个幅度为 2V 的正弦信号上叠加了一个几百毫伏的噪声,再经过多级放大器放大后,那么很有可能引起信号门限电平的误判而使这个电路工作在错误的状态之下。所以从理论上来说要将数字地和模拟地分开,以降低电源对噪声的耦合作用。在实际的设计中,通常把电源通过两个 μH 的电感引出分别作为模拟电压和数字电压,同时在电源的地端用一个零欧姆的电阻分别引出作为模拟地和数字地。

5 结束语

在对高速 PCB 上的电源存在的两个问题——压降和噪声的产生原因进行了分析,并就如何在高速 PCB 的实际设计中有效地解决这两个问题提出了一些方法,在实际的设计工作中当然还有其它的解决方法,不一一例举。总之,在设计高速 PCB 板时,对电源布局布线的处理应尽量遵循下面一些规则:

(1) 有条件的情况下,尽量采用单独的电源层和地层进行供电。采用电源网络总线时,网孔越多越好,形成许多嵌套的网孔,同时总线要尽可能的宽,以达到均衡电流,降低噪声的目的;

(2) 电源的走线不能中间细两头粗,以免在上面产生过大的压降。走线不能突然拐弯,拐弯要采用大于 90° 的钝角,最好采用圆弧形走线,电源的过孔要比普通的大一些。有条件的话,在过孔处加滤波电容;

(3) 对于那些特别容易产生噪声的部分用地线包围起来,以免产生的噪声耦合入电压。

参考文献:

- [1] 钱振宇. 产品的电磁兼容性设计(连载)[DB/OL]. www.21ic.com 2000.
- [2] 宋万杰. CPLD 技术及其应用 [M]. 西安: 西安电子科技大学出版社 1997.
- [3] 王幸之. 单片机系统抗干扰设计 [M]. 北京: 北京航空航天大学出版社 2000.

The Design of Power Line in High - Speed PCB

JIN Huan-yi , HU Jian-ping , CHEN Xian-e

(CAE Institute , HangZhou Institute of

Electronics Engineering , Hangzhou Zhejiang 310037, China)

Abstract: This paper proposes a simple power model in high - speed PCB board, which based on the analysis of the power noise and voltage descent brought by the interfere of the high frequency signal and diminish of the lines in high speed board . This paper also puts forward some high-speed PCB power models , including adopting Power Network Bus , choosing appropriate filter capacitor and separating the analog and digital ground to solve these problems.

Key words: High - Speed PCB ; Power Network Bus ; Analog and Digital Ground